

(19) 【発行国】 日本国特許庁 (JP)

(19) [Publication Office] Japanese Patent Office (JP)

(12) 【公報種別】 公開特許公報 (A)

(12) [Kind of Document] Japan Unexamined Patent Publication (A)

(11) 【公開番号】 特開平 8 - 2 0 8 3 7 4

(11) [Publication Number of Unexamined Application] Japan Unexamined Patent Publication Hei 8 - 208374

(43) 【公開日】 平成 8 年 (1 9 9 6) 8 月 1 3 日

(43) [Publication Date of Unexamined Application] 1996 (1996) August 13 days

(54) 【発明の名称】 シリコン単結晶およびその製造方法

(54) [Title of Invention] SILICON SINGLE CRYSTAL AND ITS MANUFACTURING METHOD

(51) 【国際特許分類第 6 版】

(51) [International Patent Classification 6th Edition]

C30B 15/20

C30B 15/20

15/00 Z

15/00 Z

29/06 A 7202-4G

29/06 A 720 2- 4G

502 E 7202-4G

502 E 720 2- 4G

H01L 21/208 P

H01L 21/208 P

【審査請求】 未請求

[Request for Examination] Examination not requested

【請求項の数】 3

[Number of Claims] 3

【出願形態】 OL

[Form of Application] OL

【全頁数】 9

[Number of Pages in Document] 9

(21) 【出願番号】 特願平 7 - 1 0 0 6 6

(21) [Application Number] Japan Patent Application Hei 7 - 10 066

(22) 【出願日】 平成 7 年 (1 9 9 5) 1 月 2 5 日

(22) [Application Date] 1995 (1995) January 25 day

(71) 【出願人】

(71) [Applicant]

【識別番号】 0 0 0 0 0 6 6 5 5

[Applicant Code] 000006655

【氏名又は名称】 新日本製鐵株式会社

[Name] NIPPON STEEL CORP. (DB 69-057-0072)

【住所又は居所】 東京都千代田区大手町 2 丁目 6 番 3 号

[Address] Tokyo Chiyoda-ku Otemachi 2-6-3

(71) 【出願人】

(71) [Applicant]

【識別番号】 0 0 0 1 1 1 0 9 6

[Applicant Code] 0001 110 96

【氏名又は名称】 ニッテツ電子株式会社

[Name] ニッテツ ELECTRON KK

【住所又は居所】 東京都中央区八丁堀三丁目 1 1 番 1 2 号

[Address] Tokyo Chuo-ku Hatchobori 3-Chome 11-12

(72) 【発明者】

【氏名】岩崎 俊夫

【住所又は居所】東京都千代田区大手町二丁目 6 番 3 号 新日本製鐵株式会社内

(72) 【発明者】

【氏名】芳賀 博世

【住所又は居所】東京都千代田区大手町二丁目 6 番 3 号 新日本製鐵株式会社内

(72) 【発明者】

【氏名】大久保 正道

【住所又は居所】山口県光市大字島田 3 4 3 4 番地 ニッテツ電子株式会社内

(74) 【代理人】

【弁理士】

(57) 【要約】

【目的】 本発明は、チョクラスキー法により製造されるデバイス熱処理後の酸化膜耐圧特性に代表されるデバイス特性に優れたシリコン結晶およびその製造方法に関する

【構成】 上記目的を達成するために本発明においては、チョクラスキー法によりシリコン単結晶を製造する方法のうち、製造されつつある該シリコン単結晶をある結晶温度領域で徐冷する方法において、該徐冷温度領域での冷却速度が極小となる温度を $850^{\circ}\text{C} \sim 1200^{\circ}\text{C}$ の温度領域内にする。好ましくは、 $T \pm 100^{\circ}\text{C}$ の温度領域での冷却速度を $1.0^{\circ}\text{C}/\text{分}$ 以下とする。また、本発明の方法で製造されたシリコン単結晶は、酸化膜耐圧特性の A モード合格率が 1 ウェーハにつき 3 % 未満であるような、酸化膜耐圧特性が優れたシリコン単結晶である。

【特許請求の範囲】

【請求項 1】 チョクラスキー法によりシリコン単結晶を製造するに際して、製造されつつある該シリコン単結晶をある結晶温度領域で徐冷する方法において、該徐冷温度領域で

(72) [Inventor]

[Name] Iwasaki Toshio

[Address] Inside of Tokyo Chiyoda-ku Otemachi 2-Chome 6 turn 3 number Nippon Steel Corp. (DB 69-057-0072)

(72) [Inventor]

[Name] Haga Hiroyo

[Address] Inside of Tokyo Chiyoda-ku Otemachi 2-Chome 6 turn 3 number Nippon Steel Corp. (DB 69-057-0072)

(72) [Inventor]

[Name] Okubo Masamichi

[Address] Inside of Yamaguchi Prefecture Hikari City Oaza Shimada 34 34 ニッテツ electron KK

(74) [Attorney(s) Representing All Applicants]

[Patent Attorney]

(57) [Abstract]

[Objective] This invention in silicon crystal and its manufacturing method which are superior in device characteristic which is represented in oxidized film voltage resistance characteristic after device thermal processing which is produced by the Czochralski method regards

[Constitution] Regarding to this invention in order to achieve above-mentioned object, among method which produce silicon single crystal with Czochralski method, said silicon single crystal which is being produced regarding to method which gradual cooling it does with a certain crystal temperature region, it designates temperature where cooling rate with the said gradual cooling temperature region becomes minimum as inside temperature region of 850°C to 1200°C . cooling rate with temperature region of preferably and $T \pm 100^{\circ}\text{C}$ is designated as the 1.0°C per minute or less. In addition, silicon single crystal which is produced with method of this invention the A mode approval rate of oxide film voltage resistance seems that is under 3 % concerning the 1 wafer, it is a silicon single crystal where oxide film voltage resistance is superior.

[Claim(s)]

[Claim 1] When silicon single crystal is produced with Czochralski method, said silicon single crystal which is being produced regarding to method which gradual cooling is done with a

の冷却速度が極小となる温度が850℃～1200℃の温度領域内にあることを特徴とするシリコン単結晶の製造方法。

【請求項2】 請求項1に記載のシリコン単結晶の製造方法において、徐冷温度領域での冷却速度が極小となる温度をT℃とした場合、T±100℃の温度領域での冷却速度が1.0℃/分以下であることを特徴とするシリコン単結晶の製造方法。

【請求項3】 請求項1または2に記載の方法で製造されたシリコン単結晶であって、水蒸気雰囲気中で1000℃で110分間、窒素雰囲気中で1200℃で420分間、乾燥酸素雰囲気中で900℃で70分間、水蒸気雰囲気中で1000℃で130分間とする4ステップからなる熱処理を加え、希フッ酸溶液にて熱酸化膜を除去した後、上層がアルミニウム、下層がドーパされた多結晶シリコンからなる面積20mm²の2層ゲート電極を有し、絶縁酸化膜厚が25.0nmである多数個のMOSダイオードを該シリコン単結晶から切り出したシリコンウェーハに実装し、基板シリコンから多数キャリアが注入される極性の直流電圧を各MOSダイオードに印加して電圧ランピング法により前記ウェーハの絶縁酸化膜の耐電圧特性を評価した場合において、酸化膜を通して流れる電流密度が1μA/cm²の時の該酸化膜にかかる平均電界が4.0MV/cm以下を示すMOSダイオードの個数の総数に対する割合が1ウェーハにつき3%未満であることを特徴とする絶縁酸化膜の耐電圧特性の優れたシリコン単結晶。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、チョクラスキー法（以下、CZ法と称する）により製造された絶縁酸化膜の耐電圧特性（以下、酸化膜耐圧と称する）に代表されるデバイス特性に優れたシリコン単結晶およびその製造方法に関する。

【0002】

【従来の技術】 CZシリコン単結晶は、結晶強度が高いなど

certain crystal temperature region, manufacturing method of silicon single crystal which designates that temperature where the cooling rate with said gradual cooling temperature region becomes minimum is inside temperature region of the 850 °C to 1200 °C as feature.

[Claim 2] When temperature where cooling rate with gradual cooling temperature region becomes minimum in the manufacturing method of silicon single crystal which is stated in Claim 1, is designated as the T °C, manufacturing method of silicon single crystal which designates that cooling rate with the temperature region of T +/- 100 °C is 1.0 °C per minute or less as feature.

[Claim 3] Being a silicon single crystal which is produced with method which is stated in the Claim 1 or 2 being, In water vapor atmosphere with 1000 °C 110 min, In nitrogen atmosphere with 1200 °C 420 min, In dry oxygen atmosphere with 900 °C 70 min, thermal processing which consists of 4 step which in water vapor atmosphere is made the 130 min with 1000 °C to add, thermally oxidized film was removed with dilute hydrofluoric acid solution rear, top layer aluminum, bottom layer to have consists of polycrystalline silicon which doped is done the 2 layers gate electrode of surface area 20 mm² which, It mounts in silicon wafer which cuts MOS diode of large number where the insulating oxidized film thickness is 25.0 nm from said silicon single crystal, imparting doing direct current voltage of polarity where large number carrier is filled from the substrate silicon in each MOS diode, when you appraise voltage resistance characteristic of insulating oxidized film of the aforementioned wafer with voltage ramping method in, When current density which flows through oxidized film is 1 μA/cm², ratio for total number of number of MOS diode where even electric field which depends on said oxidized film shows below 4.0 MV/cm silicon single crystal where voltage resistance characteristic of insulating oxidized film which designates that it is under 3 % concerning the 1 wafer as feature is superior.

[Description of the Invention]

[0001]

[Field of Industrial Application] This invention regards silicon single crystal and its manufacturing method which are superior in the device characteristic which is represented in voltage resistance characteristic (Below, it names oxide film voltage resistance.) of insulating oxidized film which is produced by Czochralski method (Below, it names CZ method.)

[0002]

[Prior Art] CZ silicon single crystal because or other where crys

の優れた特徴を有しているため、従来よりLSI用の材料として広く用いられている。ところが、シリコン単結晶の酸化膜耐圧は、製造方法の根本的な違いにより大きく異なることが知られており、CZシリコン単結晶の酸化膜耐圧はフローティングゾーン法により製造されたシリコン単結晶やCZシリコンウェーハ上にシリコン薄膜をエピタキシャル成長させたウェーハのそれに比べて著しく低い。しかしながら、近年のMOSデバイス集積度の増大にともない、ゲート酸化膜の信頼性向上が強く望まれるところとなり、酸化膜耐圧はその信頼性を決定する重要な材料特性の1つであるため、酸化膜耐圧特性の優れたCZシリコン単結晶の製造技術開発が重要視されていた。

【0003】熱処理を加えていないウェーハで評価した場合の酸化膜耐圧が優れているCZシリコン単結晶の製造方法としては、特開平2-267195号にCZ法により直径100mm以上のシリコン単結晶を製造する方法において、結晶成長速度を0.8mm/分以下とすることを特徴とする方法が開示されている。しかしながら、この方法では生産性が悪いため、実用的ではなかった。

【0004】また、特許1742752号では、引き上げられつつあるシリコン単結晶の1100℃から900℃への温度降下を3時間以上かけてゆっくり行う温度制御法を実施し、半導体デバイス工程での酸素析出物密度を減少させる方法が示されているが、酸化膜耐圧特性に代表されるデバイス特性については全く言及していない。

【0005】また、熱処理を加えていないウェーハで評価した場合の酸化膜耐圧が優れているCZシリコン単結晶の製造方法として、特開平5-70283号では、シリコン単結晶を製造する際に、成長するシリコン単結晶の1150℃以上になる温度領域がシリコン融液上方に280mm以上となるような引上げ方法、即ち1150℃以上に限定された温度領域が徐冷される引上げ方法が提案されているが、後述するように、本発明者らは酸化膜耐圧特性を向上させるために徐冷されるべき温度領域は、1150℃以上の温度領域ではないことを発見した。また、特開平5-9096号においては、積層欠陥の発生を抑制するとともに熱処理を加えていないウェーハで評価した場合の酸化膜耐圧特性を向上させることを目的として、結晶の冷却速度を遅くするためのある限定された温度制御機構を用いて結晶製造速度を0.8mm/分から1.1mm/分に限定する方法が提案されている。このように従来の酸化膜耐圧の改善方法は、いずれも熱処理を加えていないウェーハで評価した場合に限定されたものであり、か

tal intensity is high it has possessed the feature which is superior, is used widely as material for the LSI from until recently. However, as for oxide film voltage resistance of silicon single crystal, it is informed, that it differs largely by fundamental difference of manufacturing method oxide film voltage resistance of the CZ silicon single crystal is low considerably in comparison with that of wafer which the silicon thin film epitaxial growth is done on silicon single crystal and CZ silicon wafer which are produced by floating zone method. But, it became place where reliability improvement of gate oxide film is strongly desired attendant upon increase of MOS device degree of integration of recent years, as for oxide film voltage resistance because it is a one of important material characteristic which decides reliability, production technology development of CZ silicon single crystal where the oxide film voltage resistance is superior was attached importance.

[0003] Regarding to method which produces silicon single crystal of diameter 100 mm or greater with the CZ method in Japan Unexamined Patent Publication Hei 2 - 267195 number as manufacturing method of CZ silicon single crystal where oxide film voltage resistance when you appraise with wafer not adding heat treatment is superior, the method which designates that it designates crystal growth rate as below 0.8 mm/min as feature is disclosed. But, because with this method productivity is bad, it was not a practical.

[0004] In addition, with Patent 1742752 number, 3 hours or more applying temperature drop to the 900 °C from 1100 °C of silicon single crystal which is you being pulled up it executes temperature control method which it does slowly, method which decreases oxygen precipitate density with semiconductor device step is shown, but concerning device characteristic which is represented in oxide film voltage resistance it has not referred completely.

[0005] In addition, as manufacturing method of CZ silicon single crystal where oxide film voltage resistance when you appraise with wafer which does not add heat treatment is superior, with the Japan Unexamined Patent Publication Hei 5 - 70283 number, when producing silicon single crystal, method of the kind of pulling up where temperature region which becomes 1150 °C or higher of the silicon single crystal which grows becomes 280 mm or greater in silicon melt upward direction. Namely temperature region which is limited in 1150 °C or higher is proposed pulling up method which gradual cooling is done, but as mentioned later, as for these inventors oxide film voltage resistance as for temperature region which gradual cooling it should you do, the fact that it is not a temperature region of 1150 °C or higher was discovered in order to improve. In addition, as occurrence of stacking fault is controlled regarding the Japan Unexamined Patent Publication Hei 5 - 9096 number, method which crystal production rate from 0.8

つ 1150℃以上のある限定された温度域を徐冷する、あるいはある限定された温度制御機構を用いつつある限定された製造速度で結晶製造を行う方法しか存在していなかった。

【0006】したがって、シリコン単結晶の製造過程における1150℃以上の温度領域を徐冷せず、また徐冷温度領域を限定せず、さらに結晶製造速度を限定しない酸化膜耐圧の優れたCZシリコン単結晶を製造する方法が必要とされていたが、従来そのような方法は存在していなかった。また、実際のデバイス工程に近い熱処理を加えたウェーハで評価した場合の酸化膜耐圧の優れたCZシリコン単結晶を製造する方法が必要とされていたが、従来そのような方法は存在していなかった。

【0007】絶縁酸化膜の耐電圧特性は、上層がアルミニウム、下層がドーパされた多結晶シリコンからなる2層ゲート電極を有し、その電極面積が20mm²で、絶縁酸化膜厚が25.0nmであるMOSダイオードをシリコンウェーハ上全面に実装し、基板シリコンから多数キャリアが注入される極性の直流電圧を各MOSダイオードに印加して電圧ランピング法により評価される。酸化膜を通して流れる電流密度が1μA/cm²の時の該酸化膜にかかる平均電界が4.0MV/cm以下の領域は、Aモード領域と呼ばれ、結晶中に酸化膜耐圧特性を劣化させる結晶欠陥（以下、耐圧劣化因子と称する）が存在し、かつこの結晶欠陥のサイズが極めて大きく、酸化膜耐圧特性が著しく劣化していることを示す領域である。従来のCZシリコン結晶では、水蒸気雰囲気中で1000℃110分間に加え、窒素雰囲気中で1200℃420分間に加え、乾燥酸素雰囲気中で900℃70分間に加え、水蒸気雰囲気中で1000℃130分の4ステップからなる熱処理を加え、かつ希フッ酸溶液にて熱酸化膜を除去するといった実際のデバイス工程に近い熱処理（以下、デバイス熱処理という）を加えた後の酸化膜耐圧（以下、デバイス熱処理後の酸化膜耐圧という）は、Aモード領域で絶縁破壊するMOSダイオードの個数の総数に対する割合が、1ウェーハにつき5から15%程度と高い。したがって、デバイス熱処理後のAモード領域で絶縁破壊するMOSダイオードの個数に対する割合が3%未満であるようなCZシリコン単結晶が酸化膜耐圧特性の優れたCZシリコン結晶である。

mm/min limits the oxide film voltage resistance when you appraise with wafer which does not add heat treatment in the 1.1 mm/min making use of temperature control mechanism which is in order to make cooling rate of crystal slow and with fact that it improves as object, is limited is proposed. This way improvement method of conventional oxide film voltage resistance is something which is limited when you appraise with wafer which none adds heat treatment, at the same time temperature region which is 1150 °C or higher and is limited gradual cooling it does, only method which produces crystal with production rate which is using temperature control mechanism which or is and is limited is limited it existed.

[0006] Therefore, temperature region of 1150 °C or higher in production process of silicon single crystal gradual cooling it did not do, in addition did not limit gradual cooling temperature region, furthermore the method which produces CZ silicon single crystal where oxide film voltage resistance which does not limit the crystal production rate is superior was needed, but that kind of method did not exist until recently. In addition, method which produces CZ silicon single crystal where oxide film voltage resistance when you appraise with wafer which adds heat treatment which is close to the actual device step is superior was needed, but that kind of method did not exist until recently.

[0007] As for voltage resistance characteristic of insulating oxidized film, top layer aluminum and bottom layer has the 2 layers gate electrode which consists of polycrystalline silicon which doped is done, the electrode surface area is 20 mm², it mounts MOS diode where insulating oxidized film thickness is 25.0 nm in entire surface on silicon wafer, applying doing direct current voltage of polarity where large number carrier is filled from substrate silicon in each MOS diode, it is appraised by voltage ramping method. When current density which flows through oxidized film is 1 μA/cm², even electric field which depends on said oxidized film as for region below 4.0 MV/cm, is called A mode region, oxide film voltage resistance crystal defect (Below, it names pressure resistance degrading factor.) which deteriorates exists in the crystal, at same time size of this crystal defect quite is large, it is a region where oxide film voltage resistance considerably shows fact that it has deteriorated. With conventional CZ silicon crystal, In water vapor atmosphere in 1000 °C 110 min to add, After adding thermal processing (Below, device thermal processing you call) which is close to actual device step that in the dry oxygen atmosphere at same time removes thermally oxidized film with dilute hydrofluoric acid solution including the thermal processing which consists of 4 step of 1000 °C 130 min in water vapor atmosphere in addition to 900 °C 70-minute, in nitrogen atmosphere in addition to 1200 °C 420-minute, as for the oxide film voltage resistance (oxide film voltage resistance below and after device thermal processing you call), ratio for total number of number of MOS diode which the insulation breakdown is done, 5 to 15 % is high with A mode

【0008】

【発明が解決しようとする課題】したがって、本発明は、デバイス熱処理後の酸化膜耐圧特性に代表されるデバイス特性に優れたCZシリコン結晶を製造する方法およびデバイス熱処理後の酸化膜耐圧特性に代表されるデバイス特性に優れたCZシリコン結晶を提供することを目的とするものである。

【0009】

【課題を解決するための手段】上記目的を達成するために、本発明においては、CZ法によりシリコン単結晶を製造する方法のうち、製造されつつある該シリコン単結晶をある結晶温度領域で徐冷する方法において、該徐冷温度領域での冷却速度が極小となる温度（以下、最徐冷温度という）が850℃～1200℃の温度領域内にあるようにする（本発明方法（1））。さらにデバイス熱処理後の酸化膜耐圧特性を向上させるために、 $T \pm 100^\circ\text{C}$ の温度領域での冷却速度を1.0℃/分以下にする（本発明方法（2））。

【0010】本発明方法（1）または（2）によって該シリコン単結晶から切り出したウェーハにデバイス熱処理を加え、上層がアルミニウム、下層がドーブされた多結晶シリコンからなる面積20mm²の2層ゲート電極を有し、絶縁酸化膜厚が25.0nmである多数個のMOSダイオードを実装し、基板シリコンから多数キャリアが注入される極性の直流電圧を各MOSダイオードに印加して電圧ランピング法により前記ウェーハの絶縁酸化膜の耐電圧特性を評価した場合において、Aモード割合が1ウェーハにつき3%未満であるような良好な酸化膜耐電圧特性を有するCZシリコン単結晶を製造できる。

【0011】

【作用】以下、図および表を用いながら本発明について説明する。

ISTA's Paterra(tm), Version 1.5 (There may be errors in the above translation. ISTA cannot be held liable for any detriment from its use. WWW: <http://www.intlscience.com> Tel:800-430-5727)

region concerning the 1 wafer. Therefore, it is a CZ silicon crystal where kind of CZ silicon single crystal where ratio for the number of MOS diode which insulation breakdown is done is under 3 % is superior oxide film voltage resistance with A mode region after device thermal processing.

[0008]

[Problems to be Solved by the Invention] Therefore, this invention is something which designates that CZ silicon crystal which is superior in device characteristic which is represented in oxide film voltage resistance after the method and device thermal processing which produce CZ silicon crystal which is superior in the device characteristic which is represented in oxide film voltage resistance after device thermal processing is offered as an object.

[0009]

[Means to Solve the Problems] In order to achieving above-mentioned objective, regarding to the this invention, among method which produce silicon single crystal with CZ method, the said silicon single crystal which is being produced regarding to method which gradual cooling it does with a certain crystal temperature region, it tries to have temperature (Below, most gradual cooling temperature you call) where the cooling rate with said gradual cooling temperature region becomes minimum inside temperature region of 850 °C to 1200 °C (this invention method (1)). Furthermore oxide film voltage resistance after device thermal processing in order to improve, cooling rate with temperature region of $T \pm 100^\circ\text{C}$ is designated as 1.0 °C per minute or less, (this invention method (2)).

[0010] In wafer which is cut from said silicon single crystal with this invention method (1) or (2) device thermal processing to add, top layer aluminum, bottom layer to have consists of polycrystalline silicon which doped is done the 2 layers gate electrode of surface area 20 mm² which, It can mount MOS diode of large number where insulating oxidized film thickness is 25.0 nm, the applying doing direct current voltage of polarity where large number carrier is filled from the substrate silicon in each MOS diode, when you appraise voltage resistance characteristic of insulating oxidized film of the aforementioned wafer with voltage ramping method in, A mode ratio, it can produce the CZ silicon single crystal which possesses satisfactory kind of oxidized film voltage resistance characteristic which is under 3 % concerning 1 wafer.

[0011]

[Work or Operations of the Invention] Below, making use of figure and chart while you explain concerning this invention.

【0012】図1は、本発明の条件で製造したシリコン単結晶の酸化膜耐圧を評価する際に、シリコンウェーハ上に実装したMOSダイオードの断面であり、シリコンウェーハ1の上に酸化けい素膜2が形成され、その上に上層がアルミニウム3、下層がドーブされた多結晶シリコン4からなる直径5mmの2層ゲート電極5が形成されている。

【0013】次に、本発明の条件で製造したシリコン単結晶における酸化膜耐圧特性に関する評価手段を表1により説明する。表1は、酸化膜耐圧を測定するために作製されるMOSダイオードの製造工程を示す表である。

【0014】

[0012] Figure 1 when appraising oxide film voltage resistance of silicon single crystal which is produced with condition of this invention, is cross section of MOS diode which is mounted on silicon wafer, silicon oxide membrane 2 is formed on silicon wafer 1, top layer the aluminum 3 and bottom layer 2 layers gate electrode 5 of diameter 5 mm which consists of polycrystalline silicon 4 which doped is done are formed on that.

[0013] Next, evaluating means regarding oxide film voltage resistance in silicon single crystal which is produced with condition of this invention is explained with Table 1. Table 1 is chart which shows production step of MOS diode which is produced in order to measure oxide film voltage resistance.

[0014]

【表 1】

[Table 1]

No.	工程	条件
1	ウェーハ洗浄	1. 5w%HF中60秒浸漬後、超純水中でリンス
2	ゲート酸化	1000℃乾燥酸素中で高温酸化、酸化膜厚約250R
3	多結晶Si堆積	堆積温度640℃、非ドーパポリシリ膜、膜厚約5000R
4	酸化前洗浄	97% H_2SO_4 ・31% H_2O_2 =3:1(体積比)中100℃で5分間浸漬後、超純水中でリンス さらに、1. 5w%HF中60秒浸漬後、超純水中でリンス
5	多結晶Si酸化	900℃乾燥酸素中で高温酸化、酸化膜厚約300R
6	イオン注入	n型:Pドーザ量: $5 \times 10^{15} cm^{-2}$ 、加速電圧30keV p型:Bドーザ量: $10^{16} cm^{-2}$ 、加速電圧80keV
7	アニール前洗浄	97% H_2SO_4 ・31% H_2O_2 =3:1(体積比)中100℃で5分間浸漬後、超純水中でリンス さらに、1. 5w%HF中60秒浸漬後、超純水中でリンス
8	ドライブ アニール	900℃窒素中30分
9	多結晶Si酸化 膜エッチング	40% NH_4F :50%HF=10:1(体積比)
10	Al蒸着	抵抗加熱蒸着、厚さ2000~5000R
11	リソグラフィー	ポジレジスト、厚さ1 μm
12	Alエッチング	85% H_3PO_4 :70% HNO_3 =19:1(体積比)
13	多結晶Si エッチング	反応性プラズマエッチング、 CF_4
14	レジスト除去	C洗浄(J100中100℃10分2回、トリクレン中86℃5分2回、トリクレン中86℃10分1回 赤外線乾燥)
15	水素アニール	H_2 ($2 \times 10^3 cc/atm$) + N_2 ($10 \times 10^3 cc/atm$) 中400℃30分
16	レジスト塗布	レジスト厚さ2 μm
17	裏面多結晶Si エッチング	反応性プラズマエッチング、 CF_4
18	レジスト塗布	レジスト厚さ2 μm
19	裏面多結晶Si 酸化膜エッチ ング	40% NH_4F :50%HF=10:1(体積比)
20	裏面電極蒸着	電子銃加熱、厚さ約2000R p型:Au、n型:AuSb
21	レジスト除去	C洗浄(J100中100℃10分2回、トリクレン中86℃5分2回、トリクレン中86℃10分1回 赤外線乾燥)
22	酸化膜耐圧測定	電圧ランピング法

【0015】CZシリコンインゴットをスライスし、ラッピング、ポリッシングなど、通常のシリコンウェーハを工業的に製造するために必要な諸過程を経て得られたウェーハに、水蒸気雰囲気中で1000℃110分間に加え、窒素雰囲気中で1200℃420分間に加え、乾燥酸素雰囲気中で900℃70分間に加え、水蒸気雰囲気中で1000℃130分の4ステップからなる熱処理を加え、かつ希フッ酸溶液にて熱酸化膜を除去した後、該ウェーハを洗浄し(1)、ゲート酸化を行って酸化けい素膜を形成し(2)、多結晶シリコン膜を堆積させ(3)、この多結晶シリコンにイオン注入してドーパする(6)。酸化前洗浄(4)および多結晶シリコンの酸化(5)はイオン注入(6)の前処理である。ついで、アニール前洗浄(7)を行い、ドライブアニールして多結晶シリコン中のドーパントを固溶化し(8)、多結晶シリコン

[0015] CZ silicon ingot slice to do, lapping, Such as polishing, Passing by process which are necessary in order to produce conventional silicon wafer in industrially it acquires to wafer which, In nitrogen atmosphere at same time after removing thermally oxidized film with dilute hydrofluoric acid solution including thermal processing which consists of 4 step of 1000 °C 130 min in the steam atmosphere in addition to 900 °C 70 min., you wash said wafer in dry oxygen atmosphere in addition to 1200 °C 420 min, in steam atmosphere in addition to 1000 °C 110 min, and (1), doing gate oxidation, you form silicon oxide membrane and (2), accumulating polycrystalline silicon membrane, (3), ion implantation doing in this polycrystalline silicon, doped you do, (6). oxidation (5) of oxidation precleaning (4) and polycrystalline silicon is

膜をエッチング除去し（９）、アルミニウムを蒸着しアルミニウム層を形成する（１０）。つぎに、直径５mmの２層ゲート電極を実装するためにリソグラフィ（１１）によりポジレジスト膜をコートして、パターンニングした後、アルミニウム膜をエッチングし（１２）、多結晶シリコン膜をエッチングして（１３）、レジスト膜を除去する（１４）。そして、水素アニールによりけい素／酸化けい素膜界面を安定化した後（１５）、表面にレジスト膜を塗布してMOSダイオードを保護し（１６）、プラズマエッチングにより裏面多結晶シリコン膜を除去する（１７）。表面に保護用のレジスト膜を再塗布して（１８）、裏面酸化膜をエッチングにより除去し（１９）、p型の場合には金を、n型の場合には金・アンチモン合金を蒸着して裏面電極を形成する（２０）。最後に、保護用レジスト膜を除去した後（２１）、電圧ランピング法により酸化膜耐圧特性を評価する（２２）。電圧ランピング法とは、図１において、基板シリコンから多数キャリアが注入される極性の直流電圧をアルミニウム層３と裏面電極との間に印加し、その電圧を時間に対してステップ状に増加させる方法である。本発明では、該電圧ランピング法の１ステップ当たりの電圧増加を電界換算で 0.25 MV/cm 、保持時間を 200 ms ／ステップとした。

【００１６】また、本発明で実施する、水蒸気雰囲気中で 1000°C １１０分間に加え、窒素雰囲気中で 1200°C ４２０分間に加え、乾燥酸素雰囲気中で 900°C ７０分間に加え、水蒸気雰囲気中で 1000°C １３０分の４ステップからなる熱処理を加え、かつ希フッ酸溶液にて熱酸化膜を除去する処理は、実際のデバイス工程で実施される処理に近い処理である。

【００１７】本発明者らは、様々な結晶の冷却条件と酸素析出物の形成を詳細に調査した結果、冷却条件と酸素析出物の形成の間に次のような関係があることを発見した。即ち、CZ法によるシリコン製造過程において、凝固界面付近で熱平衡濃度で存在していた真性点欠陥が凝固とともに結晶内に取り込まれ、結晶の冷却とともに過飽和状態となる。過飽和となった点欠陥は結晶表面への外方拡散および凝固界面への坂道拡散によってその濃度は低下するものの、結晶の冷却速度が速いため、点欠陥の過飽和度は増大する。冷却が進み、 1080°C 付近で点欠陥の過飽和度がある臨界値を越えると、点欠陥同士が凝集体を形成しはじめる。その凝集体を核として酸素析出物が形成する。一方、過飽和点欠陥は凝集を開始する直前の高温側で烈しく対消滅を起こし、濃度が低下する。この濃度の低下が点欠陥同士の凝集開始温度、即ち酸素析出物の形成開始温度を低下させ、酸素析出物の成長を抑制し

preprocessing of ion implantation (6). Next, it does anneal precleaning (7), drive anneal does and to solid solution converts the dopant in polycrystalline silicon and (8), etching it removes polycrystalline silicon membrane and (9), the vapor deposition it does aluminum and forms aluminum layer (10). Next, coating doing positive resist film in order to mount 2 layers gate electrode of the diameter 5 mm with lithography (11), patterning after doing, etching it does the aluminum membrane and (12), etching doing polycrystalline silicon membrane, (13), it removes resist film (14). silicon / silicon oxide membrane interface after being stabilized, (15), applying resist film to surface and, with hydrogen anneal, it protects MOS diode and (16), it removes the back surface polycrystalline silicon membrane with plasma etching (17). Re-applying resist film for protection to surface, (18), it removes the back surface oxidized film with etching and (19), in case of p-type gold, in case of n-type vapor deposition doing gold * antimony alloy, it forms back surface electrode (20). Lastly, after removing resist film for protection, oxide film voltage resistance is appraised (21), with voltage ramping method (22). It is a method which voltage ramping method, applying does direct current voltage of the polarity where large number carrier is filled from substrate silicon in Figure 1, with the aluminum layer 3 and back surface electrode, increases in step voltage vis-a-vis time. With this invention, voltage increase per 1 step of said voltage ramping method 0.25 MV/cm and the retention time were designated as 200 ms / step with electric field conversion.

[0016] In addition, it executes with this invention, in nitrogen atmosphere treatment which at same time removes thermally oxidized film with dilute hydrofluoric acid solution including the thermal processing which consists of 4 step of 1000°C 130 min in water vapor atmosphere in addition to 900°C 70 min, is treatment which is close to the treatment which is executed with actual device step in dry oxygen atmosphere in addition to the 1200°C 420 min, in water vapor atmosphere in addition to 1000°C 110 min.

[0017] As for these inventors, as for cooling condition of various crystal and result of investigating formation of oxygen precipitate in detail, fact that it is next kind of relationship during formation of cooling condition and the oxygen precipitate was discovered. Namely, intrinsic point defect which with solidification interface vicinity exists with thermal equilibrium concentration in the silicon production process due to CZ method, with solidification is taken in inside crystal, with cooling crystal becomes supersaturated state. As for point defect which has become supersaturated concentration although it decreases, because cooling rate of crystal is fast, increases supersaturation of point defect with outward direction scattering to crystal surface and slope scattering to the solidification interface. Cooling advances, when it exceeds critical value which has supersaturation of the point defect with 1080°C

、酸素析出物のサイズを低下させる。これらの機構により、点欠陥が凝集を開始する温度以下の850℃～1080℃の徐冷を受けた結晶では、点欠陥の凝集が進み、酸素析出物の密度はこの徐冷を受けていない結晶に比べて著しく低下する。また、点欠陥凝集開始温度の直前の1080℃～1200℃での徐冷を受けた結晶では点欠陥の対消滅が進み、この徐冷を受けていない結晶に比べて酸素析出物サイズは著しく小さくなる。

【0018】一方、デバイス熱処理を加えた場合には、1段目の1000℃での熱処理によりサイズの小さい酸素析出物は容易に消滅する。それに対し、サイズの大きい酸素析出物は1段目の熱処理では消滅せずに逆に成長する。成長後のサイズは結晶製造中に形成した酸素析出物のサイズには依存せず、いずれも著しく大きくなっている。デバイス熱処理後の酸化膜耐圧のAモード不良の原因となる結晶欠陥は、1段目熱処理で消滅せず、成長した酸素析出物が起源となっており、デバイス熱処理後の酸化膜耐圧のAモードの割合は1段目の熱処理で残存する酸素析出物の密度で決定される。従って、結晶製造中の850℃～1080℃の徐冷を受けた結晶は酸素析出物密度の低下によりデバイス熱処理後の酸化膜耐圧が向上し、1080℃～1200℃の熱処理を受けた結晶は酸素析出物サイズの低下によりデバイス熱処理後の酸化膜耐圧が向上する。本発明者らは、製造されつつあるシリコン単結晶をある結晶温度領域で徐冷する方法において、最徐冷温度が850℃～1200℃の温度領域内にある場合に、デバイス熱処理後の酸化膜耐圧が改善することを発見した。さらに $T \pm 100^\circ\text{C}$ の温度領域での冷却速度を1.0℃/分以下にした場合に、酸化膜耐圧がより改善することが分かった。

【0019】

vicinity, point defect starts forming agglomerate. oxygen precipitate forms with agglomerate as nucleus. On one hand, immediately before starting cohesion, intensity it does the supersaturated point defect with high temperature side a. anti-elimination happens, concentration decreases. Decrease of this concentration decreasing cohesion onset temperature of point defect, namely formation start temperature of oxygen precipitate, you control growth of oxygen precipitate, the size of oxygen precipitate decrease. With these mechanism, with crystal which receives annealing of 850 °C to 1080 °C of temperature or lower where point defect starts cohesion, cohesion of point defect advances, density of oxygen precipitate decreases considerably in comparison with crystal which does not receive this annealing. In addition, with crystal which receives annealing with 1080 °C to 1200 °C immediately before point defect cohesion onset temperature anti-elimination of the point defect advances, oxygen precipitate size becomes small considerably in comparison with crystal which does not receive this annealing.

[0018] On one hand, when device heat treatment is added, elimination it does oxygen precipitate where with 1000 °C of first step size is small due to heat treatment easily. Vis-a-vis that, oxygen precipitate where size is large grows with the heat treatment of first step elimination do, conversely. size after growing during crystal producing does not depend on size of oxygen precipitate which was formed, in each case large has become considerable. crystal defect which becomes cause of A mode deficiency of oxide film voltage resistance after the device heat treatment elimination does not do with first step heat treatment, oxygen precipitate which grew has become origin, ratio of A mode of oxide film voltage resistance after the device heat treatment is decided with density of oxygen precipitate which remains with the heat treatment of first step. Therefore, as for crystal which receives gradual cooling of 850 °C to 1080 °C which is in midst of crystal producing oxide film voltage resistance after device heat treatment improves with decrease of oxygen precipitate density, as for crystal which receives heat treatment of 1080 °C to 1200 °C oxide film voltage resistance after device heat treatment improves with decrease of oxygen precipitate size. these inventors silicon single crystal which is being produced regarding to method which gradual cooling is done with a certain crystal temperature region, when most gradual cooling temperature is inside temperature region of 850 °C to 1200 °C, discovered fact that oxide film voltage resistance after device heat treatment improves. Furthermore when cooling rate with temperature region of $T \pm 100^\circ\text{C}$ is designated as 1.0 °C per minute or less, from oxide film voltage resistance improving you understood.

[0019]

【実施例】以下に本発明の実施例を挙げて説明するが、本発明がこれらの実施例の記載によって制限されるものでないことは言うまでもない。

【0020】実施例1

本発明に用いられるシリコン単結晶製造装置は、通常CZ法によるシリコン単結晶製造に用いられるものであれば特に限定されるものではなく、本実施例では図2に示すような製造装置を用いた。

【0021】このCZシリコン単結晶製造装置は、シリコン融液Mを収容する石英ルツボ26aとこれを保護する黒鉛ルツボ26bとから構成されたルツボ26と育成されたシリコン単結晶インゴットSを収容する結晶引上炉21である。ルツボ26の側面部には加熱ヒーター24と加熱ヒーター24からの熱が結晶引上炉外部に逃げるのを防止するため断熱部材23が取り囲むように設置されており、このルツボ26は図示されていない駆動装置と回転治具25によって接続され、この駆動装置によって所定の速度で回転されるとともに、ルツボ26内のシリコン融液の減少にともないシリコン融液面が低下するのを補うためにルツボ26を昇降させるようになっている。引上炉21内には、垂下された引上げワイア27が設置され、このワイア27の下端には種結晶28を保持するチャック29が設けられている。この引上げワイア27の上端側は、ワイヤ巻上機22に巻き取られて、シリコン単結晶インゴットを引き上げるようになった引上げ装置が設けられている。そして、引上炉21内には、引上炉21に形成されたガス導入口30からArガスが導入され、引上炉21内を流通してガス流出口31から排出される。このようにArガスを流通させるのは、シリコンの溶融にともなって引上炉21内に発生するSiOをシリコン融液内に混入させないようにするためである。温度制御装置40は引上炉21内で結晶を徐冷するために設置している。温度制御装置40としては、製造されるシリコン単結晶を取り囲むように設置された黒鉛などの断熱保温材や加熱ヒーター等が有効である。

【0022】この装置を使用して、以下の条件で複数のシリコン単結晶を製造した。これらの結晶の最徐冷温度はいずれも、850℃～1200℃の温度領域内に入っており、かついずれの結晶も $T \pm 100^\circ\text{C}$ の温度領域の冷却速度は常に1.0℃/分以下ではない。

【0023】この条件で育成された複数のシリコン単結晶インゴットの製造条件等を表2に示した。

[Working Example(s)] Listing Working Example of this invention below, you explain, but this invention is not something which is restricted by statement of these Working Example.

[0020] Working Example 1

As for silicon single crystal production equipment being used for this invention, if it is something which is used for silicon single crystal production usually due to CZ method, it was not something which especially is limited, with this working example, kind of production equipment which is shown in Figure 2 was used.

[0021] This CZ silicon single crystal production equipment crucible 26 which is formed from quartz crucible 26a which accommodates the silicon melt M and graphite crucible 26b which protects this is crystal pulling up furnace 21 which accommodates silicon single crystal ingot S which was reared. In order to prevent fact that heat from heater 24 and heater 24 escapes to crystal pulling up furnace outside in side surface part of crucible 26, in order for insulating part material 23 to surround, being installed, to be, As this crucible 26 is connected by driver and rotating stage 25 which are not illustrated, turns with specified speed by this driver, in order to supply the fact that silicon melt surface decreases attendant upon decrease of the silicon melt inside crucible 26 it has reached point where ascent and descent it does crucible 26. Pulling up wire 27 which hangs is installed inside the pulling up furnace 21, chuck 29 which keeps seed crystal 28 is provided in the bottom end of this wire 27. As for top end of this pulling up wire 27, being retracted in the wire hoist 22, pulling up equipment which reaches point where it pulls up silicon single crystal ingot is provided. And, it pulls up and, pulls up inside furnace 21 and Ar gas is introduced from gas inlet 30 which was formed to furnace 21, pulls up and inside furnace 21 circulating, is discharged from gas outlet port 31. This way Ar gas is in order to try not to mix SiO which pulls up fact that it circulates, attendant upon melting silicon and occurs inside furnace 21 in with of silicon melt. It pulls up temperature control equipment 40 and inside furnace 21 it installs in order the gradual cooling to do crystal. As temperature control equipment 40, in order to surround silicon single crystal which is produced, the graphite or other insulating heat retaining material and heater etc which are installed are effective.

[0022] Using this equipment, it produced silicon single crystal of plural with condition below. Most gradual cooling temperature of these crystal in each case, has gone into temperature region of the 850 °C to 1200 °C, at same time each crystal cooling rate of temperature region of the $T \pm 100^\circ\text{C}$ is not 1.0 °C per minute or less always.

[0023] Manufacturing condition etc of silicon single crystal ingot of plural which was reared with this condition was shown in

Table 2.

【0024】

[0024]

【表2】

[Table 2]

結晶	最徐冷温度 (°C)	伝導型 (ト-ハ-ト)	結晶径 (インチ)	抵抗率 (Ω cm)	酸化膜度° (10^{17} cm^{-3})	炭素膜度° (10^{17} cm^{-3})
A	850	n(P)	6	2.0	10.0-10.5	<1.0
B	950	p(B)	8	10.0	9.5-10.0	<1.0
C	1080	p(B)	6	2.0	8.0-9.0	<1.0
D	1190	n(P)	8	4.0	7.5-8.5	<1.0

* 日本電子工業振興協会による換算係数を用いて算出

【0025】このインゴットから切りだしたウェーハのデバイス熱処理後の酸化膜耐圧を測定し、図3に示した。これらのシリコンウェーハの酸化膜を通して流れる電流密度が $1 \mu \text{ A/cm}^2$ の時に該酸化膜にかかる平均電界が 4.0 MV/cm 以下を示すMOSダイオードの個数の総数に占める割合(Aモード比率)はいずれも3%未満であり、本発明の方法で製造されたシリコン単結晶インゴットから切り出されたウェーハは、良好な酸化膜耐圧特性を有していることを示している。

[0025] It measured oxide film voltage resistance after device thermal processing of wafer which it startscutting from this ingot, showed in Figure 3. When current density which flows through oxidized film of these silicon wafer is the $1 \mu \text{ A/cm}^2$, relative (A mode ratio) which is occupied in total number of number of the MOS diode where even electric field which depends on said oxidized film shows below the 4.0 MV/cm in each case is under 3%, wafer which is quarried out from silicon single crystal ingot which is produced with method of this invention has shown fact that it has possessed satisfactory oxide film voltage resistance.

【0026】実施例2

[0026] Working Example 2

実施例1の装置を用いて、以下の条件で複数のシリコン単結晶を製造した。これらの結晶の最徐冷温度はいずれも、 $850^\circ\text{C} \sim 1200^\circ\text{C}$ の温度領域内に入っており、かついずれの結晶も $\pm 100^\circ\text{C}$ の温度領域の冷却速度は常に $1.0^\circ\text{C}/\text{分}$ 以下である。

Making use of equipment of Working Example 1, silicon single crystal of plural was produced with condition below. Most gradual cooling temperature of these crystal in each case, has gone into temperature region of the 850°C to 1200°C , at same time each crystal cooling rate of temperature region of the $\pm 100^\circ\text{C}$ is 1.0°C per minute or less always.

【0027】この条件で育成された複数のシリコン単結晶インゴットの製造条件等を表3に示した。

[0027] Manufacturing condition etc of silicon single crystal ingot of plural which was reared with this condition was shown in Table 3.

【0028】

[0028]

【表 3】

[Table 3]

結晶	最徐冷温度 (°C)	伝導型 (p-n)	結晶径 (インチ)	抵抗率 ($\Omega \text{ cm}$)	酸化膜抵抗° ($10^{17} \Omega \text{ cm}^{-2}$)	酸化膜抵抗° ($10^{17} \Omega \text{ cm}^{-2}$)
B	860	p (B)	8	4.0	8.0-9.0	<1.0
F	950	n (P)	8	2.0	10.0-10.5	<1.0
G	1080	p (B)	8	10.0	8.0-9.0	<1.0
H	1190	n (P)	8	4.0	7.5-8.5	<1.0

※日本電子工業振興協会による換算係数を用いて算出

【0029】このインゴットから切り出したウェーハのデバイス熱処理後の酸化膜耐圧を測定し、図4に示した。これらのシリコンウェーハの酸化膜を通して流れる電流密度が $1 \mu \text{ A/cm}^2$ の時に該酸化膜にかかる平均電界が 4.0 MV/cm 以下を示すMOSダイオードの個数の総数に占める割合(Aモード比率)はいずれも3%未満であり、本発明の方法で製造されたシリコン単結晶インゴットから切り出されたウェーハは、良好な酸化膜耐圧特性を有していることを示している。

[0029] It measured oxide film voltage resistance after device thermal processing of wafer which it starts cutting from this ingot, showed in Figure 4. When current density which flows through oxidized film of these silicon wafer is the $1 \mu \text{ A/cm}^2$, relative (A mode ratio) which is occupied in total number of number of the MOS diode where even electric field which depends on said oxidized film shows below the 4.0 MV/cm in each case is under 3%, wafer which is quarried out from silicon single crystal ingot which is produced with method of this invention has shown fact that it has possessed satisfactory oxide film voltage resistance.

【0030】比較例1

本比較例では、実施例1の装置を用いて、以下の条件で複数のシリコン単結晶を製造した。これらの結晶の最徐冷温度はいずれも、 $850^\circ\text{C} \sim 1200^\circ\text{C}$ の温度領域内に入っており、かついずれの結晶も $\pm 100^\circ\text{C}$ の温度領域の冷却速度は常には 1.0°C/分 以下ではない。

[0030] Comparative Example 1

With this Comparative Example, silicon single crystal of plural was produced with condition below making use of equipment of Working Example 1. Most gradual cooling temperature of these crystal none, has gone into temperature region of the 850°C to 1200°C , at same time each crystal cooling rate of temperature region of $T \pm 100^\circ\text{C}$ is not $1.0^\circ\text{C per minute}$ or less always.

【0031】この条件で育成された複数のシリコン単結晶インゴットの製造条件等を表4に示した。

[0031] Manufacturing condition etc of silicon single crystal ingot of plural which was reared with this condition was shown in Table 4.

【0032】

[0032]

【表 4】 |

[Table 4]

結晶	最徐冷温度 (°C)	伝導型 (ド・ナ・ント)	結晶径 (インチ)	抵抗率 ($\Omega \text{ cm}$)	酸化物濃度° (10^{17} cm^{-3})	炭素濃度° (10^{17} cm^{-3})
TA	840	n (P)	6	2.0	10.0-10.5	<1.0
TB	1220	p (B)	8	10.0	9.5-10.0	<1.0
TC	徐冷なし	p (B)	6	2.0	8.0-9.0	<1.0
TD	徐冷なし	n (P)	8	4.0	7.5-8.5	<1.0

* 日本電子工業振興協会による換算係数を用いて算出

【0033】このインゴットから切りだしたウェーハのデバイス熱処理後の酸化膜耐圧を測定し、図5に示した。これらのシリコンウェーハの酸化膜を通して流れる電流密度が $1 \mu \text{ A/cm}^2$ の時に該酸化膜にかかる平均電界が 4.0 MV/cm 以下を示すMOSダイオードの個数の総数に占める割合 (Aモード比率) はいずれも3%以上であり、酸化膜耐圧特性が良好でないことを示している。

[0033] It measured oxide film voltage resistance after device thermal processing of wafer which it starts cutting from this ingot, showed in Figure 5. When current density which flows through oxidized film of these silicon wafer is the $1 \mu \text{ A/cm}^2$, relative (A mode ratio) which is occupied in total number of number of the MOS diode where even electric field which depends on said oxidized film shows below the 4.0 MV/cm in each case is 3% or higher, fact that oxide film voltage resistance is not satisfactory has been shown.

【0034】比較例2

本比較例では、実施例1の装置を用いて、以下の条件で複数のシリコン単結晶を製造した。これらの結晶の最徐冷温度はいずれも、 $850^\circ\text{C} \sim 1200^\circ\text{C}$ の温度領域内に入っており、かついずれの結晶も $\pm 100^\circ\text{C}$ の温度領域の冷却速度は常に 1.0°C/分 以下である。

[0034] Comparative Example 2

With this Comparative Example, silicon single crystal of plural was produced with condition below making use of equipment of Working Example 1. Most gradual cooling temperature of these crystal none, has gone into temperature region of the 850°C to 1200°C , at same time each crystal cooling rate of temperature region of $T \pm 100^\circ\text{C}$ is $1.0^\circ\text{C per minute}$ or less always.

【0035】この条件で育成された複数のシリコン単結晶インゴットの製造条件等を表5に示した。

[0035] Manufacturing condition etc of silicon single crystal ingot of plural which was reared with this condition was shown in Table 5.

【0036】

[0036]

【表5】

[Table 5]

結晶	最徐冷温度 (°C)	伝導型 (ドープメント)	結晶径 (μm)	抵抗率 (Ωcm)	酸化膜度° (10^{17}cm^{-3})	炭素度° (10^{17}cm^{-3})
TR	800	p(B)	8	4.0	8.0-9.0	<1.0
TF	840	n(P)	6	2.0	10.0-10.5	<1.0
TG	1220	p(B)	6	10.0	8.0-9.0	<1.0
TH	1300	n(P)	8	4.0	7.5-8.5	<1.0

※日本電子工業振興協会による換算係数を用いて算出

【0037】このインゴットから切りだしたウェーハのデバイス熱処理後の酸化膜耐圧を測定し、図6に示した。これらのシリコンウェーハの酸化膜を通して流れる電流密度が $1\mu\text{A}/\text{cm}^2$ の時に該酸化膜にかかる平均電界が $4.0\text{MV}/\text{cm}$ 以下を示すMOSダイオードの個数の総数に占める割合(Aモード比率)はいずれも3%以上であり、酸化膜耐圧特性が良好でないことを示している。

[0037] It measured oxide film voltage resistance after device thermal processing of wafer which it starts cutting from this ingot, showed in Figure 6. When current density which flows through oxidized film of these silicon wafer is the $1\mu\text{A}/\text{cm}^2$, relative (A mode ratio) which is occupied in total number of number of the MOS diode where even electric field which depends on said oxidized film shows below the $4.0\text{MV}/\text{cm}$ in each case is 3% or higher, fact that oxide film voltage resistance is not satisfactory has been shown.

【0038】

[0038]

【発明の効果】本発明のシリコン単結晶あるいは本発明の製造方法によるシリコン単結晶は、デバイス特性、特にデバイス熱処理後の酸化膜耐圧特性に優れているため、MOSデバイス用ウェーハはもとより各種構造を有するデバイスに適する。

[Effects of the Invention] As for silicon single crystal due to silicon single crystal of this invention or manufacturing method of this invention, because it is superior in oxide film voltage resistance after device characteristic and the especially device thermal processing, as for MOS device use wafer it is suited for device which from first possesses various structure.

【図面の簡単な説明】

[Brief Explanation of the Drawing(s)]

【図1】従来の方法でシリコン単結晶の絶縁酸化膜の耐電圧特性を評価するために実装したMOSダイオードの一部断面図である。

[Figure 1] It is a partial cross section figure of MOS diode which is mounted in order to appraise voltage resistance characteristic of insulating oxidized film of silicon single crystal with conventional method.

【図2】本発明の実施例に用いたCZ法シリコン単結晶製造装置の概略図である。

[Figure 2] It is a conceptual diagram of CZ method silicon single crystal production equipment which is used for Working Example of this invention.

【図3】本発明の実施例1の複数の結晶のデバイス熱処理後の酸化膜耐圧特性を示す図である。

[Figure 3] It is a figure which shows oxide film voltage resistance after device thermal processing of crystal of the plural of Working Example 1 of this invention.

【図４】 本発明の実施例２の複数の結晶のデバイス熱処理後の酸化膜耐圧特性を示す図である。

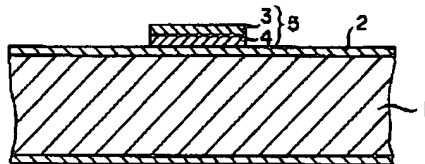
【図５】 比較例１の複数の結晶のデバイス熱処理後の酸化膜耐圧特性を示す図である。

【図６】 比較例２の複数の結晶のデバイス熱処理後の酸化膜耐圧特性を示す図である。

【符号の説明】

１…シリコンウェハ、 ２…酸化けい素膜（絶縁酸化膜）、 ３…アルミニウム膜、 ４…多結晶シリコン、 ５…２層ゲート電極、 ２１…結晶引上炉（ＣＺ法シリコン単結晶製造装置）、 ２２…ワイヤ巻上機、 ２３…断熱部材、 ２４…加熱ヒーター、 ２ ５…回転治具、 ２６…ルツボ、 ２６ａ…石英ルツボ、 ２６ｂ…黒鉛ルツボ、 ２７…引上げワイヤ、 ２８…種結晶、 ２９…チャック、 ３０…ガス導入口、 ３１…カス排出口、 ４ ０…温度制御装置（結晶徐冷装置）、 Ｍ…シリコン融液、 Ｓ…シリコン単結晶インゴット。

【図１】



[Figure 4] It is a figure which shows oxide film voltage resistance after device thermal processing of crystal of the plural of Working Example 2 of this invention.

[Figure 5] It is a figure which shows oxide film voltage resistance after device thermal processing of crystal of the plural of Comparative Example 1.

[Figure 6] It is a figure which shows oxide film voltage resistance after device thermal processing of crystal of the plural of Comparative Example 2.

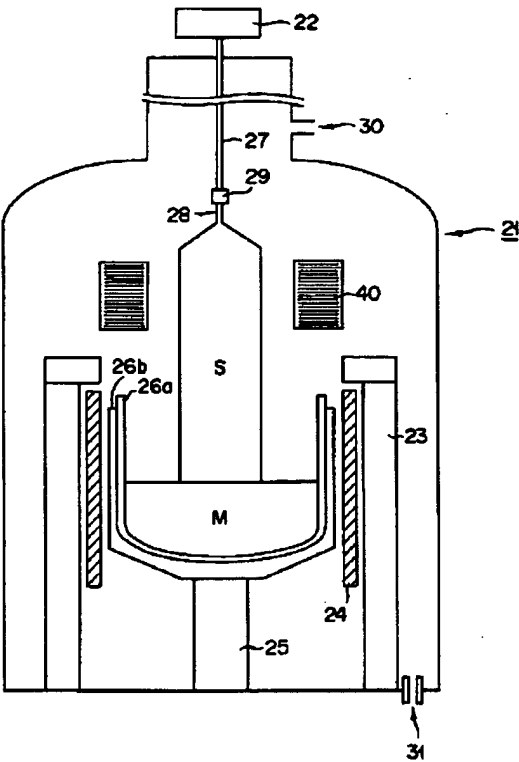
[Explanation of Reference Signs in Drawings]

1... silicon wafer , 2... silicon oxide membrane (insulating oxidized film), 3... aluminum membrane , 4... polycrystalline silicon , 5... 2 layers gate electrode and 21... crystal pulling up furnace (CZ method silicon single crystal production equipment), 22... Y₂O₃ hoist, 23... insulating part material, 24... heater , 25... rotating stage , 26... crucible , 26a... quartz crucible , 26b... graphite crucible and 27...pulling up Y₂O₃ , 28... seed crystal , 29... chuck , 30... gas inlet , 31 ... deposit outlet , 40... temperature control equipment (crystal gradual cooling equipment), M... silicon melt and S... silicon single crystal ingot .

[Figure 1]

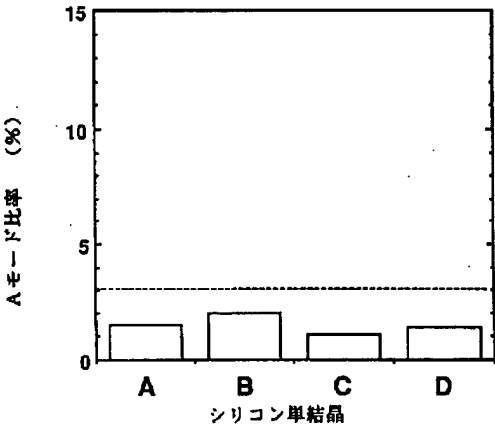
【図2】

[Figure 2]



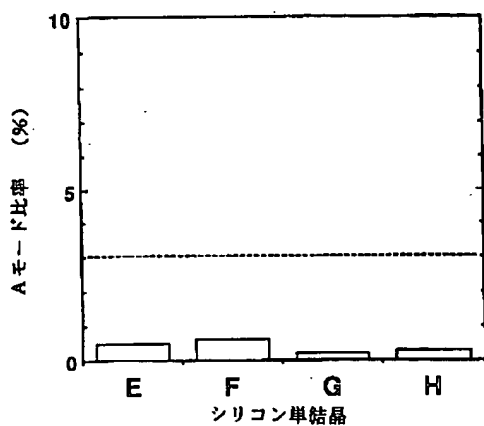
【図3】

[Figure 3]



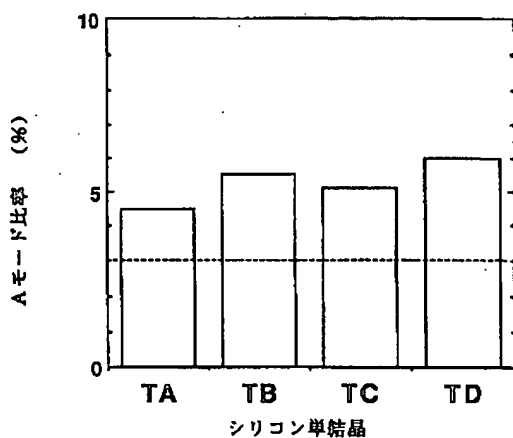
【図4】

[Figure 4]



【図5】

[Figure 5]



【図6】

[Figure 6]

